

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-019955

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

G06F 15/332

(21)Application number : 04-175838

(71)Applicant : FUJITSU LTD

(22)Date of filing : 03.07.1992

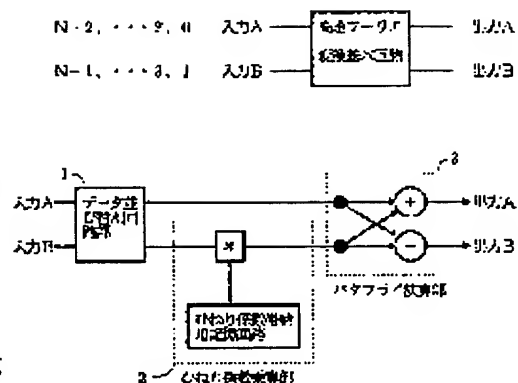
(72)Inventor : FUJIE SHIGEKIMI
OKUYA SHIGEAKI
NAKAZURU TOSHIRO
MORITA NOBORU
KUBO SHINICHI

(54) VARIABLE FAST FOURIER TRANSFORMATION CIRCUIT

(57)Abstract:

PURPOSE: To make it possible to execute fast Fourier transformation(FFT) even when the number of FFT points is reduced by serially arranging divided input data points, inputting the serial array to a reference circuit for the FFT and by-passing a specific stage from an input part.

CONSTITUTION: The data of an R input obtained by dividing FFT input data points N by R (R is a cardinal number) and serially arranging the divided points is inputted to the reference circuit constituted of a data rearranging circuit part 1, a twisting coefficient multiplying part 2 and a butterfly operation part 3. The reference circuit constitutes one stage and FFT is executed by serially arranging M ($M=\log R N$) stages. The twist operation part 2 calculates a twist coefficient for (R-1) inputs out of R inputs. The butterfly operation part 3 executes crossing operation between an input which is not multiplied by a twist coefficient and an input multiplied by the twist coefficient and by-passes K stages ($K < M$) from the input part of an FFT circuit consisting of M stages to execute the FFT operation of N/RK FFT points.



LEGAL STATUS

[Date of request for examination] 06.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2848134

[Date of registration] 06.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-19955

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 15/332

A 8320-5L

審査請求 未請求 請求項の数6(全 24 頁)

(21)出願番号 特願平4-175838

(22)出願日 平成4年(1992)7月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤江 重公

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 奥谷 茂明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 中水流 敏朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

最終頁に続く

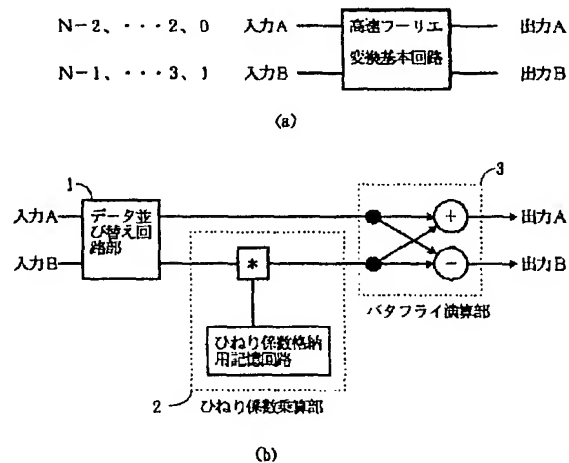
(54)【発明の名称】 可変高速フーリエ変換回路

(57)【要約】

【目的】 本発明は、高速フーリエ変換回路に関し、入力データ点数Nに対して、該入力データが $N/2$ 、 $N/4$ 、～と減少しても、高速フーリエ変換が行える回路を提供する。

【構成】 処理する高速フーリエ変換(FFT)点数がNである高速フーリエ変換を行う回路であって、入力データ点数Nを N/R (但し、Rは基数)し、該分割された入力データ点数をシリアルに並べて、R入力 of データ並べ替え部分と、ひねり係数乗算部分と、バタフライ演算部分とからなる高速フーリエ変換の基本回路に入力し、該基本回路を1段として、この段をM個($M = \log_2 N$)直列に並べて、高速フーリエ変換を行うように構成し、入力部分からK段($K < M$)をバイパスすることによって、該FFT点数が N/R 、 $N/R^2 \cdots R$ と減少させたときも、同じ回路で高速フーリエ変換を行うように構成する。

本発明の原理説明図(その1)



【特許請求の範囲】

【請求項1】処理する高速フーリエ変換（FFT）点数Nについて、高速フーリエ変換を行う回路であって、上記入力データ点数Nを N/R 分割（Rは、基数）し、該分割された入力データ点数をシリアルに並べたR入力のデータを、データ並べ回路部(1)と、ひねり係数乗算部(2)と、バタフライ演算部(3)とから構成されたR入力の高速フーリエ変換の基本回路に入力し、該R入力の高速フーリエ変換の基本回路を1段として、この段をM個（ $M = \log_2 N$ ）（Rは、基数）直列に並べて高速フーリエ変換を行うように構成し、

該データ並べ回路部(1)は、上記入力データ点数Nに対して、上記1段目では、 N/R 離れたデータ間で、2段目では、 N/R^2 離れたデータ間で、3段目では、 N/R^3 離れたデータ間で、最終段では、お互いに1つ離れたデータ間で、たすき掛け演算を行い、

該ひねり係数乗算部(2)は、R入力の内のR-1個の入力に対してひねり係数を乗算し、

該バタフライ演算部(3)は、上記ひねり係数を乗算されない入力と、上記ひねり係数を乗算された入力とでたすき掛け演算を行い、

上記M段からなる高速フーリエ変換回路の入力部分からK段（ $K < M$ ）をバイパスすることによって、上記高速フーリエ変換（FFT）点数が N/R^K の高速フーリエ変換を行うことを特徴とする可変高速フーリエ変換回路。

【請求項2】請求項1に記載の可変高速フーリエ変換回路におけるバイパス処理であって、上記1段目において、 $N/R \times 2^K$ 離れたデータの組を取り出しておき、ある段では、データの並べ替え、ひねり係数乗算、バタフライ演算を行わないで、K段バイパスすることで、データ点列数が N/R^K （Rは基数）になったときのフーリエ変換を、データ点列数Nのフーリエ変換回路で行うことを特徴とする可変高速フーリエ変換回路。

【請求項3】請求項1に記載の可変高速フーリエ変換回路におけるバイパス処理であって、ある段でデータの並べ替えを行うが、必要とする組合わせになっていない場合、通常のデータの並べ替えは行うが、ひねり係数乗算、バタフライ演算を行わないバイパス処理をK段行い、以降の段で、通常のデータの並べ替え、ひねり係数乗算、バタフライ演算を行うことで、データ点列数が N/R^K （Rは基数）になったときのフーリエ変換を、該データ点列数Nのフーリエ変換回路で行うことを特徴とする可変高速フーリエ変換回路。

【請求項4】請求項1に記載の可変高速フーリエ変換回路におけるバイパス処理であって、ある段で、データの並べ替えを行い、必要な組ができているとき、ひねり係数乗算、バタフライ演算を行い、以降の段で、データの並べ替え、ひねり係数乗算、バタフライ演算をK段バイパスすることで、データ点列数が N/R^K （Rは基数）

になったときのフーリエ変換を、該データ点列数Nのフーリエ変換回路で行うことを特徴とする可変高速フーリエ変換回路。

【請求項5】請求項1に記載の可変高速フーリエ変換回路におけるバイパス処理であって、ある段で、データの並べ替えを行い、必要な組ができていながら、ひねり係数乗算、バタフライ演算を行うことなく、次の段に流し、データの並べ替えをバイパスして、ひねり係数乗算、バタフライ演算のみを行い、以降の段で、データの並べ替え、ひねり係数乗算、バタフライ演算をK-1段バイパスすることで、データ点列数が N/R^K （Rは基数）になったときのフーリエ変換を、該データ点列数Nのフーリエ変換回路で行うことを特徴とする可変高速フーリエ変換回路。

【請求項6】上記データ並べ替え回路部(1)として、上記 N/R 分割されたシリアルな入力データを、R個の先入れ先出しメモリ(#0,#2)(10,11)に、上記高速フーリエ変換（FFT）点数 $N/(R \times 1/2)$ まで格納した後、残りの高速フーリエ変換（FFT）点数 $N/(R \times 1/2)$ を、他のR個の先入れ先出しメモリ(#1,#3)(12,13)に格納し、

該格納された高速フーリエ変換（FFT）点数Nについて、1個の先入れ先出しメモリ(#0)(10)から1つのデータを取り出して、R出力の一方の出力(A)に出力し、同時に、他の1個の先入れ先出しメモリ(#1)(12)から1つのデータを取り出して、R出力の他方の出力(B)に出力し、

続いて、1個の先入れ先出しメモリ(#2)(11)から1つのデータを取り出して、R出力の一方の出力(A)に出力し、同時に、他の1個の先入れ先出しメモリ(#3)(13)から1つのデータを取り出して、R出力の他方の出力(B)に出力することを、交互に繰り返して、高速フーリエ変換処理に必要とするデータの組を生成する回路としたことを特徴とする請求項1に記載の可変高速フーリエ変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、信号処理、データ解析、線型システム等に利用される高速フーリエ変換回路に係り、特に、入力データ点数Nに対して、該入力データが $N/2$ 、 $N/4$ 、～と減少しても、高速フーリエ変換が行える高速フーリエ変換回路に関する。

【0002】最近の、マイクロ波領域の固体素子の著しい進歩に伴って、該マイクロ波領域電波天文学が進展している。この場合、宇宙からの該マイクロ波領域の電波を、専用のパラボラアンテナで受信した時系列のアナログ信号を、所定のサンプリング数Nでサンプリングし、それぞれのサンプリング位置での振幅を、高速フーリエ変換による周波数分析を行うことにより、該受信した電波の周波数成分を認識することができ、該電波の発信元

での元素を解析することができる。

【0003】所が、各電波天文台によって、該宇宙からの電波受信を受信する装置が異なり、上記サンプリング数Nが異なる（例えば、16サンプリング数、8サンプリング数等）問題があり、該サンプリング数Nの異なるマイクロ波を、効果的に高速フーリエ変換できる装置が必要とされる。

【0004】該高速フーリエ変換とは、離散的フーリエ変換の演算速度を高速化するために考えられたアルゴリズムである。以下に入力データ数Nが2のべき乗を対象とした基数2のアルゴリズムを一例として説明する。

【0005】離散的フーリエ変換を計算する場合、もとにも取り組んでは計算量が非常に膨大なものになる。そこで、考え出されたのが高速フーリエ変換のアルゴリズムで、このアルゴリズムを用いることで計算量を大幅に減少させる事ができる。

【0006】図19は、従来の高速フーリエ変換回路を説明する図である。N=8の場合のアルゴリズムを例に、図19(a)に示す。ここで、Aは入力、Dは出力、B、Cは中間結果を表している。

【0007】該高速フーリエ変換のアルゴリズムの説明：図19(a)において、入力されたデータは、決められた2つのデータ間でたすき掛け演算を行う。1段目では、 (A_0, A_4) 、 (A_1, A_5) 、 \dots 、 (A_7, A_{13}) の組でたすき掛け演算を行い、2段目では、 (B_0, B_2) 、 (B_1, B_3) 、 \dots 、 (B_7, B_9) の組で、3段めでは (C_0, C_1) 、 (C_2, C_3) 、 \dots 、 (C_6, C_7) の組で、それぞれ、たすき掛け演算が行われる。

【0008】この組の決め方は、上記基数2の場合には、入力データ数Nに対して1段目では、N/2離れたデータ間で、2段目では、N/4離れたといった具合に、最終的にお互いに1つ離れたデータ間でたすき掛け演算が行われる様になるまで続けられる。

【0009】従って、このたすき掛け演算が何回行われるかは、入力されるデータ数で決まり、このアルゴリズムでは2のべき乗数だけ行うことになる。つまり $8=2^3$ なので、3回行えばよいことになる。又、たすき掛け1回の演算を1段と呼ぶことにする。

【0010】このアルゴリズムで用いられるたすき掛け演算をバタフライ演算と呼び、図19(b)に示す様な演算を行う。ここで、x、yは入力であり、X、Yは出力を表す。また、Wはひねり係数といい次式で与えられる。

$$【0011】W^k = \exp(-2\pi n k j / N)$$

図19(b)において、たすき掛け演算はこのバタフライ演算を決められたデータ間で行うことを表している。

【0012】上記高速フーリエ変換のアルゴリズムについては、文献「高速フーリエ変換入門」、高速フーリエ変換(FFT)の使い方、安居院猛著、廣済堂産報出版に詳しく記載されているので、ここでは、その詳細は省略す

る。

【0013】通常、該高速フーリエ変換(FFT)点数Nが決まると、対応する高速フーリエ変換(FFT)回路が構成されるという形態が取られるため、前述のように、該高速フーリエ変換(FFT)点数Nが、 $N \rightarrow N/2 \rightarrow N/4 \rightarrow \dots$ となると、専用の回路を予め用意しておく必要があり、一つの高速フーリエ変換回路で、種々の点数の高速フーリエ変換ができることが要求される。

【0014】

10 【従来の技術】前述の図19が、従来の高速フーリエ変換回路を説明する図である。本図に示したように、従来から、高速フーリエ変換を行う回路は存在しているが、入力される高速フーリエ変換(FFT)点数Nと決められているとき、 $N/2$ 、 $N/4$ 、 \dots と入力データが減少（即ち、前述のサンプリング数Nが減少）しても、同じ回路で処理を行えるものは存在していない。

【0015】

20 【発明が解決しようとする課題】前述のように、図19で説明した、従来の高速フーリエ変換を行う回路では、高速フーリエ変換(FFT)点数がNと決められると、該入力データが $N/2$ 、 $N/4$ 、 \dots と減少していったとき、同じ回路で、高速フーリエ変換を行う事ができないという問題があった。

【0016】即ち、入力データが $N/2$ 、 $N/4$ 、 \dots に対応した、前述の高速フーリエ変換回路を別途用意する必要があった。若し、該入力データNに対する高速フーリエ変換を行う回路以外の回路が存在しない場合、該 $N/2$ 、 $N/4$ 、 \dots のデータが入ってきたとしても、該データを高速フーリエ変換をすることができないという問題があった。

【0017】本発明は上記従来の欠点に鑑み、入力データ点数Nに対して、該入力データが $N/2$ 、 $N/4$ 、 \dots と減少しても、高速フーリエ変換が行える回路を提供することを目的とするものである。

【0018】

【課題を解決するための手段】図1、図2は、本発明の原理説明図であり、図1(a)はデータ入力概念を示し、図1(b)は、本発明の基本回路の構成例を示し、図2(c1)、(c2)は、本発明のバイパス処理概念を示し、図2(d)はデータ並べ換え回路の一例を示している。上記の問題点は下記の如くに構成した高速フーリエ変換回路によって解決される。

【0019】(1) 処理する高速フーリエ変換(FFT)点数Nについて、高速フーリエ変換を行う回路であって、上記入力データ点数Nを N/R 分割(Rは、基数)し、該分割された入力データ点数をシリアルに並べたR入力のデータを、データ並べ換え回路部(1)と、ひねり係数乗算部(2)と、バタフライ演算部(3)とから構成されたR入力の高速フーリエ変換の基本回路に入力し、該R入力の高速フーリエ変換の基本回路を1段として、この段

をM個($M = \log_2 N$)直列に並べて高速フーリエ変換を行うように構成し、該データ並べ回路部(1)は、上記入力データ点数Nに対して、上記1段目では、 N/R^1 離れたデータ間で、2段目では、 N/R^2 離れたデータ間で、3段目では、 N/R^3 離れたデータ間で、最終段では、お互いに1つ離れたデータ間で、たすき掛け演算を行い、該ひねり係数演算部(2)は、R入力の中のR-1個の入力に対してひねり係数を乗算し、該バタフライ演算部(3)は、上記ひねり係数を乗算されない入力と、上記ひねり係数を乗算された入力とでたすき掛け演算を行い、上記M段からなる高速フーリエ変換回路の入力部分からK段($K < M$)をバイパスすることによって、上記高速フーリエ変換(FFT)点数が N/R^K の高速フーリエ変換を行うように構成する。

【0020】(2)(1)項に記載の変換高速フーリエ変換回路におけるバイパス処理であって、上記1段目において、 $N/R \times 2^K$ 離れた、データの組を取り出しておき、ある段では、データの並べ替え、ひねり係数乗算、バタフライ演算を行わないで、K段バイパスすることによって、データ点列数が N/R^K (Rは基数)になったときのフーリエ変換を、データ点列数Nのフーリエ変換回路で行うように構成する。

【0021】(3)(1)項に記載の変換高速フーリエ変換回路におけるバイパス処理であって、ある段でデータの並べ替えを行うが、必要とする組合せになっていない場合、通常のデータの並べ替えは行いが、ひねり係数乗算、バタフライ演算を行わないバイパス処理をK段行い、以降の段で、通常のデータの並べ替え、ひねり係数乗算、バタフライ演算を行うことで、データ点列数が N/R^K (Rは基数)になったときのフーリエ変換を、該データ点列数Nのフーリエ変換回路で行うように構成する。

【0022】(4)(1)項に記載の変換高速フーリエ変換回路におけるバイパス処理であって、ある段で、データの並べ替えを行い、必要な組ができているとき、ひねり係数乗算、バタフライ演算を行い、以降の段で、データの並べ替え、ひねり係数乗算、バタフライ演算をK段バイパスすることで、データ点列数が N/R^K (Rは基数)になったときのフーリエ変換を、該データ点列数Nのフーリエ変換回路で行うように構成する。

【0023】(5)(1)項に記載の変換高速フーリエ変換回路におけるバイパス処理であって、ある段で、データの並べ替えを行い、必要な組ができていながら、ひねり係数乗算、バタフライ演算を行うことなく、次の段に流し、データの並べ替えをバイパスして、ひねり係数乗算、バタフライ演算のみを行い、以降の段で、データの並べ替え、ひねり係数乗算、バタフライ演算をK-1段バイパスすることで、データ点列数が N/R^K (Rは基数)になったときのフーリエ変換を、該データ点列数Nのフーリエ変換回路で行うように構成する。

【0024】(6)上記データ並べ替え回路部1として、上記 N/R 分割されたシリアルな入力データを、R個の先入れ先出しメモリ(#0,#2)10,11に、上記高速フーリエ変換(FFT)点数 $N/(R \times 1/2)$ まで格納した後、残りの高速フーリエ変換(FFT)点数 $N/(R \times 1/2)$ を、他のR個の先入れ先出しメモリ(#1,#3)12,13に格納し、該格納された高速フーリエ変換(FFT)点数Nについて、1個の先入れ先出しメモリ(#0)10から1つのデータを取り出して、R出力の一方の出力(A)に出力し、同時に、他の1個の先入れ先出しメモリ(#1)12から1つのデータを取り出して、R出力の他方の出力(B)に出力し、続いて、1個の先入れ先出しメモリ(#2)11から1つのデータを取り出して、R出力の一方の出力(A)に出力し、同時に、他の1個の先入れ先出しメモリ(#3)13から1つのデータを取り出して、R出力の他方の出力(B)に出力することを、交互に繰り返して、高速フーリエ変換処理に必要とするデータの組を生成する回路とするように構成する。

【0025】

【作用】即ち、本発明においては、例えば、基数2の高速フーリエ変換を行う場合、先ず、入力を $N/2$ 個に分けて、該分割された、それぞれの入力データの点数をシリアルに並べたものを、2入力からなり、複数段の基本回路からなる高速フーリエ変換回路に入力するように構成する。

【0026】このとき、入力するデータの順はどのようにするかは任意である。図1(a)の例では、入力の上側(入力A)に偶数番目、下側(入力B)に奇数番目を入力することにする。

【0027】このとき入力されたデータは、バタフライ演算を行う組どうしで、該バタフライ演算を行うようにする必要があるので、データを一旦蓄えておき、必要な組どうしを選ぶ様にする。このための回路部分をデータ並び替え回路1と呼ぶことにする。

【0028】次に、図1(b)に示した様に、入力Bから入力されたデータに、ひねり係数を掛ける必要がある。このための回路部分をひねり係数乗算部2と呼ぶことにする。

【0029】最後に、上側(入力A)から入力されたデータと、上記ひねり係数を掛けられたデータとで、図1(b)に示したたすき掛け演算を行う必要がある。このための回路部分を特にバタフライ演算部3と呼ぶことにする。

【0030】従って、基数2のアルゴリズムで、1段分の処理を行うための基本回路構成は図1(b)のようになる。入力されるデータNは 2^m 個であるから、この基本回路をM個直列に組み合わせることによって基数2の高速フーリエ変換が行えることになる。

【0031】上記のデータ並び替え回路1には色々考えられるが、ここでは、その一例として、例えば、以下の

具体例で示すものを用いる。この並べ換え手段は、あくまでも一例であって、これに限るものでないことはいふまでもないことである。要は、高速フーリエ変換点数 N に対して、図1(a)に示したデータどうして、フーリエ変換を行うことができるように、該シリアルに入力されるデータを並べ換えることができればよい。

【0032】この例では、データ記憶用素子として先入れ先出しメモリ(RAM)(以下FIFOという)を用いて、図2(d)のような回路構成をとる。この方法は、まず#0、#2のFIFO 10,11に、シリアルな入力A、Bから同時にデータを入力し、それぞれのFIFO 10,11が、同時にFFT点数の $1/4$ までデータ(高速フーリエ変換点数 $N=16$ の場合には、4データ)を格納したのち、#1、#3のFIFO 12,13に、同様に、該FFT点数の $1/4$ までデータを格納する。このときFIFO 10~13全体で格納されるデータ数は、処理できる高速フーリエ変換(FFT)点数 $N(=16)$ に等しい様にしてある。

【0033】次に、#0のFIFO 10から1つデータを取り出して、出力Aへ送り、これと同時に#1のFIFO 12からもデータを1つ取り出し、出力Bへ送る。これがすむと、#2、#3のFIFO 11,13からも同様の操作を行う。

【0034】この動作を、交互に行うことにより必要とするデータの組になるように並べ換えを行うことができる。以下、 $N=16$ を具体例として、本発明の高速フーリエ変換処理過程について説明する。 $16=2^4$ であるから、この場合、上記データ並べ換え回路1、ひねり係数乗算部2、バタフライ演算部3から構成される基本回路を4段必要とする。

【0035】1段目で、入力されたシリアルデータは、上記データ並べ換え回路1で、バタフライ演算を行う組どうしに並べ替えられ、次に、ひねり係数乗算部2で、所定の入力データに対してひねり係数が掛けられる。この後、バタフライ演算部に送られ、バタフライ演算を行い、並び替えられた組どうしがそのまま1段目の出力にあらわれる。以下順に2段、3段と処理していき、4段目の出力が高速フーリエ変換された出力となる。

【0036】ここまでは、通常の高速フーリエ変換処理となる。次に、本発明の特徴となるデータが $N/2$ 、 $N/4$ と減少しても処理出来るための手段を示す。 $N=8$ と減少した場合は $8=2^3$ であるから、基本回路は3段あればよいことになる。 $N=8$ を $N=16$ の回路で処理しようとするならば、1段目で、通常の処理を行わず、2段目以降で処理を行えばよいことになる。この1段目でデータ処理を行わないことを、バイパス処理と呼ぶにことする。このバイパス処理によって、データ数が減少しても、正確な高速フーリエ変換が行えることが本発明の特徴である。

【0037】図2(c1),(c2)は、このバイパス処理の原

理を示しており、 $N=8$ を $N=16$ の回路で処理しようとするとき、1段目でデータ処理を行わない場合を示している。このように構成することで、同じ高速フーリエ変換回路で、入力部から所定の段数をバイパスすることで、データ点数が N から $N/2$ 、 $N/4$ と減少しても、同じ高速フーリエ変換回路で処理できることになる。

【0038】又、データ並べ替え回路として、上記本発明のデータ並べ替え回路部(図2(d)参照)とは異なる構成のものを用いてもよい。又、本発明の高速フーリエ変換回路の、例えば、1段目に、上記本発明のデータ並べ替え回路部を使用し、2段目以降には、上記他の構成のデータ並べ替え回路を使用するようにしてもよい。

【0039】この場合、使用されるデータ並べ替え回路の構成によって、出力側にはフーリエ変換で必要とする順序のデータ列が得られている場合とか、該フーリエ変換で必要とする順序のデータ列が得られていない場合等が発生することがあるが、その態様に応じたバイパス処理を施すことにより、データ点列数が N/R (R は基数)になったときのフーリエ変換処理を、データ点列数 N のフーリエ変換回路で行うことができる。

【0040】

【実施例】以下本発明の実施例を図面によって詳述する。前述の図1、図2は、本発明の原理説明図であり、図3~図6は、本発明の一実施例を示した図であって、図3は、データ並べ換え部での実際のデータの流れを示し、図4、図5は、それぞれ、 $N=16$ 、 $N/8=8$ の場合のデータの流れの例を示し、図6は、バイパス処理の一例を示しており、図7~図14は、本発明の他の実施例を示した図であって、図7、図8は、データ並べ替え回路の他の構成例を示しており、図9は、該データ並べ替え回路(並べ替え回路B)を用いて、高速フーリエ変換を行うときのデータの流れを示し、図10は、図9に示した高速フーリエ変換回路で、1段目に、図3に示した、本発明のデータ並べ替え回路(並べ替え回路A)を使用したときのデータの流れを示し、図11~図14は、上記該他の実施例で、幾つかのバイパス処理を行うときのデータの流れを示しており、図15~図18は、基数4の場合の構成例を示している。各図において、アルファベットの添え数字はデータの順番を示しており、アルファベットが変化しているのは、基本回路での処理によりデータの数値が変化していることを表している。

【0041】本発明においては、処理するFFT点数が N である高速フーリエ変換を行う回路であって、入力データ点数 N を N/R (但し、 R は基数)分割し、該分割された入力データ点数をシリアルに並べて、 R 入力のデータ並べ替え回路1、ひねり係数乗算回路2、バタフライ演算回路3からなる基本回路に入力し、該基本回路を1段として、この段を M 個($M=\log_2 N$)直列に並べて、高速フーリエ変換を行うように構成し、入力部分から K 段($K < M$)をバイパスすることによって、FF

T点数が N/R 、 $N/R^2 \cdots R$ と減少させたときも、同じ回路で、FFT点数が N/R^k の高速フーリエ変換の処理を行う手段が、本発明を実施するのに必要な手段である。尚、全図を通して同じ符号は同じ対象物を示している。

【0042】以下、図1、図2を参照しながら、図3～図18によって、本発明の高速フーリエ変換回路の構成と動作を説明する。前述のように、1つのデータの並べ換え回路1は、例えば、図2(d)のようになっている。この回路で、基数2の場合のFFT点数 N を2分割して

入力した場合の、実際のデータの流れを、図3によって具体的に説明する。

【0043】本データ並べ換え動作は、図2(d)でも説明したように、まず#0、#2のFIFO 10,11に、シリアルな入力A、Bから同時にデータを入力し、それぞれのFIFO 10,11が、同時にFFT点数の $1/4$ までデータ(高速フーリエ変換点数 $N=16$ の場合には、4データ)を格納したのち、#1、#3のFIFO 12,13に、同様にして、該FFT点数の $1/4$ までデータを格納する。このときFIFO 10～13全体で格納されるデータ数は、処理できる高速フーリエ変換(FFT)点数 $N(=16)$ に等しい様にしてある。

【0044】次に、#0のFIFO 10から1つデータを取り出して、出力Aへ送り、これと同時に#1のFIFO 12からもデータを1つ取り出し、出力Bへ送る。これがすむと、#2、#3のFIFO 11,13からも同様の操作を行う。

【0045】この動作を、交互に行うことにより必要とするデータの組になるように並べ換えを行うものである。従って、図3に示したように、FFTデータ点数が、0,1,2,～15で示す16個であって、該データが基数2のデータであったとすると、該16個のデータを、図3に示したように、 $16/2$ 分割し、それぞれのデータ列を、偶数番目のデータ列である「0,2,4,6,8,10,12,14」(入力A)と、奇数番目のデータ列である「1,3,5,7,9,11,13,15」(入力B)とする。

【0046】この2分割されたデータ点列、入力A、入力Bを、上記のようにシリアルに並べ換えて、該データ並べ換え回路1に入力する。この場合、前述のように、#0、#2のFIFO 10,11に、シリアルな入力A(0,2,4,6,8,10,12,14)、入力B(1,3,5,7,9,11,13,15)から同時にデータを入力し、それぞれのFIFO #0,#1 10,11が、同時にFFT点数の $1/4$ までデータ(高速フーリエ変換点数 $N=16$ の場合には、図示のように4データ)を格納したのち、#1、#3のFIFO #1,#3 12,13に、同様にして、該FFT点数の $1/4$ までデータを格納する。

【0047】このときFIFO 10～13全体で格納されるデータ数は、処理できる高速フーリエ変換(FFT)点数 $N(=16)$ に等しい様になる。次に、#0のFIFO

#0 10から1つデータを取り出して、出力Aへ送り、これと同時に#1のFIFO #1 12からもデータを1つ取り出し、出力Bへ送る。これがすむと、#2、#3のFIFO 11,13からも同様の操作を行う。

【0048】このような操作を行うことにより、図3に示したように、出力A、出力Bには、「0,8」「1,9」「2,10」「3,11」～の如きデータ列が出力される。これは、図19で説明した、FFTデータ点数 $N=16$ の場合、1段目の演算に必要な距離8($=16/2$)のデータ点との演算が行えることを意味する。

【0049】図1(b)は、前述のように、本発明の高速フーリエ変換回路の基本回路を構成しており、該基本回路の最初のデータ並べ換え回路1で、シリアルに入力されてくる入力データ点を並べ換え、該並べ換えられたデータ点に対して、例えば、入力B側のデータ点に対して、ひねり係数をひねり係数乗算回路2で乗算し、次のバタフライ演算回路3で、該ひねり係数の乗算されていない入力Aと、上記ひねり係数を乗算された入力Bに対してたすき掛け演算を施すことにより、該距離8のデータ点に対して、1段目のフーリエ変換ができることになる。

【0050】以下、該図1(b)に示した、本発明の基本回路を、FFTデータ点数が N 個の場合には、 $M=\log_2 N(=16)=4$ 段直列に並べて、同じ処理を繰り返すことにより、最終段において、所期の高速フーリエ変換の結果を得ることができる。

【0051】図4は、FFTデータ点数 $N(=16)$ に対して、本発明の高速フーリエ変換の基本回路を4段直列に並べて、高速フーリエ変換を行ったときのデータの流れを示したものである。

【0052】図4において、入力A側のデータ点の列を、 A_0, A_1, A_2, \sim, A_7 とし、入力B側のデータ点の列を、 $A_8, A_9, A_{10}, \sim, A_{15}$ とすると、上記データ並べ換え回路1での出力データ列は、図示されているように、「 A_0, A_8 」「 A_1, A_9 」「 A_2, A_{10} 」～「 A_7, A_{15} 」となり、この並べ換えられたデータ列に対して、ひねり演算を施した後、バタフライ演算回路(BUT)3で、バタフライ演算を施すことにより、距離8に対する高速フーリエ変換が行われたことになる。

【0053】このデータ列を「 B_0, B_8 」「 B_1, B_9 」「 B_2, B_{10} 」～「 B_7, B_{15} 」とすると、このデータ列を、次の段の基本回路に入力することにより、該2段目のデータ並べ換え回路1では、最初の入力データ点列である A_0, A_1, A_2, \sim, A_7 に対して、距離4のデータ列を出力するように動作する。即ち、図4に2段目のデータ並べ換え回路の出力を見ると、「 B_0, B_4 」「 B_1, B_5 」「 B_2, B_6 」～「 B_7, B_{11} 」となり、上記距離4の間で、フーリエ変換ができるように並べ換えられていることが分かる。

【0054】このデータ点列に対して、ひねり演算を施した後、バタフライ演算を施すことにより、該距離4に

対するバタフライ演算が施され、中間結果である「 C_0, C_1 」、「 C_2, C_3 」、「 C_4, C_5 」〜「 C_{10}, C_{11} 」が得られる。

【0055】以下、同じ、基本回路を使用して、本発明による高速フーリエ変換を行うことにより、4段目では、図示されている如くに、データ並べ回路1において、最初の入力データ点列である $A_0, A_1, A_2, \dots, A_{15}$ に対して、距離1のデータ点列「 D_0, D_1 」、「 D_2, D_3 」、「 D_4, D_5 」〜「 D_{14}, D_{15} 」を出力するので、このデータ列に対して、ひねり演算とバタフライ演算を施すことにより、 $E_0, E_1, E_2, \dots, E_{15}$ で示した高速フーリエ変換の結果を得ることができる。

【0056】次に、図5によって、FFTデータ点数が、 $N=16 \rightarrow N=8$ になったときの、本発明による高速フーリエ変換の動作を説明する。本発明においては、FFTデータ点数が、例えば、 $N=16$ のデータ点に対して高速フーリエ変換ができる回路を、前述のように、基本回路(図1(b)参照)を4段直列に接続して構成しておき、該FFTデータ点数が、 $N/2=8$ に減少したときには、上記4段構成の高速フーリエ変換回路の最初の1段目の並べ換え回路1での並べ換え処理は実行するが、該1段目のひねり演算と、バタフライ演算とをバイパスして、2段目の基本回路に入力することにより、FFTデータ点数が、 $N/2=8$ になったときの高速フーリエ変換を行うことができる。

【0057】該高速フーリエ変換回路での、上記ひねり演算と、バタフライ演算のバイパス処理の一例を、図6によって説明する。図6において、並べ換え処理が行われた2つのデータ点列、入力A、入力Bが入力されてきたとき、図6(a)に示したように、該ひねり処理を通さないパスをマルチプレクサ(MUX)20で選択するか、図6(b)に示したように、該ひねり係数乗算部2の乗算係数を“1”とするかにより、該ひねり係数乗算部2のバイパスを行うことができる。

【0058】又、図6(a),(b)に示されているように、バタフライ演算部3のマルチプレクサ(MUX)30,31において、“0”を選択することにより、該バタフライ演算部3をバイパスすることができる。

【0059】図5は、データ点数 $N=8$ の場合での、各段でのデータの流れを示している。まず、 $N=8$ のデータ点列の組み「 A_0, A_1, \dots, A_7 」と「 a_0, a_1, \dots, a_7 」が入力されると、1段目のデータ並べ換え回路1において、データの並べ換えが行われ、図示されているように、「 A_0, a_0 」、「 A_1, a_1 」〜「 A_7, a_7 」が出力される。この並べ換え出力に対して、該1段目のひねり演算と、バタフライ演算とをバイパスして、2段目の同じデータ並べ換え部1に入力する。

【0060】この段でのデータ並べ換え部1でのデータ並べ換え方法も、1段目と全く同じに作用するので、図示されている如く、該2段目でのデータ並べ換え結果は「 A_0, A_1 」、「 a_0, a_1 」〜「 a_7, a_7 」となる。

【0061】この並べ換えされたデータに対して、前述の同様に、ひねり演算と、バタフライ演算が施された後、3段目の同じ基本回路に入力される。このようにして、最終段の高速フーリエ変換されたデータ列は、上記 $N=8$ のデータ点列の組毎に高速フーリエ変換されたデータ列として出力される。

【0062】同様に、データ点数 $N=4$ の場合については、図4の1段目、2段目のひねり演算、バタフライ演算をバイパスすることにより、入力されたデータの組み毎に高速フーリエ変換されたデータ列を得ることができる。(具体例については、省略する)以上のようにして、基数2のアルゴリズムを用いた場合、バイパス処理を行うことによって入力されるデータ点数 N の数が減少したとしても、同じ高速フーリエ変換回路を用いることで、正確な高速フーリエ変換処理が行えることを示した。

【0063】次に、図7〜図14によって、本発明の他の実施例について説明する。図7、図8は、図3で説明した、本発明の一つであるデータ並べ替え回路部とは異なる他のデータ並べ替え回路部(この並べ替え回路部を、並べ替え回路Bと呼ぶ)の構成例である。この構成例においては、まず、データ点列、入力A、入力Bから#1のFIFO 40、#0のFIFO 41に、データを、該フーリエ変換に必要とする距離(本実施例では、例えば、距離2)迄記憶させる。(図7(a)参照)これが済むと、#1のFIFO 40から記憶した順にデータを出し、出力Aに出力し、入力Aからのデータをマルチプレクサ(MUX)43を通して出力Bに出力する。これと同時に、#0のFIFO 41に記憶したデータを、マルチプレクサ(MUX)42を通して#1のFIFO 40に送り、入力Bからのデータを#0のFIFO 41に記憶する。(図7(b)参照)そして、#1のFIFO 40から入力Aのデータを出力し終わると、#0のFIFO 41から入力されたデータを出力Aに出力し、#0のFIFO 41からのデータをマルチプレクサ(MUX)43を通して出力Bに出力する。(図8(c),(d)参照)以上のようにして必要とするデータの組になるように並べ替えを行う方法である。

【0064】この並べ替え回路Bだけを使用した並べ替え動作により、該フーリエ変換ができる様子を、データ点数 $N=16$ の場合について、図9で簡単に説明する。データ点数 $N=16$ であるので、1段目での距離は8であればよい。以下同様に、2段目での距離は4となり、3段目での距離は2となり、4段目での距離は1となる。従って、該並べ替え回路2でのFIFOの深さは、1段目から順に、8、4、2、1となる。

【0065】このときの1段目から4段目までのデータの流れを図9に示す。該並べ替え回路Bでは、上記図7、図8に示した動作をするので、1段目においては、入力A、と入力B、には、予め、期待通りの出力が得ら

れるように、図示されているように、該入力A₁には1つ目の組のデータ列(大文字A₁で示す)を、入力B₁には2つ目の組のデータ列(小文字aで示す)を入力する。このようなデータ列を該並べ替え回路Bに入力する為には、2組のデータ列を貯めておき、必要に応じ取り出すように操作する必要がある。

【0066】2段目以降は、順次前段の出力データ列を入力することにより、該フーリエ変換に必要なデータ列が得られることは、図示されているとおりである。然して、この並べ替え回路Bを使用する場合には、1段目に15 入力するデータ列を図9に示したデータ列とする必要がある。

【0067】そこで、図4に示したように、入力データ点数NをN/2分割(但し、2は、基数)し、該分割された入力データ点数をシリアルに並べた2入力のデータを入力するだけで、該フーリエ変換ができるようにするために、該1段目に、前述の図3に示した、本発明のデータ並べ替え回路(このデータ並べ替え回路部を、以降では、単に、並べ替え回路Aと呼ぶ)を使用する。

【0068】図10は、該並べ替え回路Aを1段目に使用し、2段目以降は、上記並べ替え回路Bを使用すること20 で、データ点数N=16の場合のフーリエ変換ができることを示したものである。各段でのデータの流れについては、それぞれ、図3と、図7、図8に示した並べ替え回路A、Bの構成から明らかであるので、詳細な説明は省略する。

【0069】次に、該図10に示した高速フーリエ変換回路においても、データ点数がN/2、N/4、~になったときでも、バイパス処理を行うことによって、前述の図5で説明したと同様のフーリエ変換ができることを以下に説明する。

【0070】データ点数が減少しても、正しくフーリエ変換を行うためには、前述のバイパス処理を行うことによって可能となる。その基本的な考え方は、データ点数N=16のとき、並べ替え、ひねり係数乗算、バタフライ演算を、それぞれ4回行っていた。

【0071】データ点数N=8の場合には、それぞれを3回行えばよく、各段でのデータの並びが必要とされる組にさなっていれば、ひねり係数乗算、バタフライ演算はどの段で行ってもよい。

【0072】1) 並べ替え回路Bのみで構成されている場合: この場合は、図11に示したように、1段目では、並べ替え、ひねり係数乗算、バタフライ演算を全く行わず、2段目から各処理を実行するように制御する。このような処理方法を、本実施例ではバイパス方法1と呼ぶ。

【0073】このバイパス方法1により、3回の並べ替え、ひねり係数乗算、バタフライ演算が行われるので、図11から明らかなように、データ点数N=8についても、高速フーリエ演算を行うことができる。

【0074】2) 並べ替え回路Aと、並べ替え回路Bとを組合わせた場合:

(1) 1段目のF i F oの深さを、データ点数N=16の場合と同じとした場合(固定長)

この場合、該1段目のF i F oに2組分のデータが蓄えられることができる。図12に示したように、この場合、1段目の並べ替え回路1から出力されるデータは、それぞれの2組のデータ点列について、未だ必要とする組合わせになっていないので、ひねり係数乗算、バタフライ演算を行わない。

【0075】このような、データ点列のデータの並べ替えを行うが、ひねり係数乗算、バタフライ演算を行わないバイパス処理をバイパス方法2と呼ぶ。このバイパス方法2では、図12に示したように、1段目は、並べ替えのみを行って、ひねり係数乗算、バタフライ演算をバイパスするが、2段目以降では、通常の並べ替え、ひねり係数乗算、バタフライ演算を行って、データ点列N=8の高速フーリエ演算を行うものである。

【0076】(2) 1段目のF i F oの深さを、データ点数N=8に合わせて浅くした場合(可変長)

この場合、図13に示されているように、1段目のF i F oには1組分のデータが蓄えられる。1段目の並べ替え回路Aから出力されるデータは、フーリエ変換を行うのに必要な組合わせとなっているので、バイパス方法として、以下の2つの方法に分けられる。

【0077】その1: 1段目で必要とされる組ができて20 いるので、ひねり係数乗算、バタフライ演算を行い、2段目では全く何もしないで、全段で3回のデータ並べ替え、ひねり係数乗算、バタフライ演算を行うことで、データ点列N=8の高速フーリエ変換を行うものである。このバイパス方法をバイパス方法3と呼ぶ。図13は、このバイパス方法3による場合の各段でのデータの流れを示している。

【0078】その2: 1段目で必要とされる組ができて30 いるが、該1段目では、ひねり係数乗算、バタフライ演算を行わないで、2段目で、該データの並べ替えを行わないで、ひねり係数乗算、バタフライ演算のみを行うことで、データ点列N=8の高速フーリエ変換を行うものである。このバイパス方法をバイパス方法4と呼ぶ。図14は、このバイパス方法3による場合の各段でのデータの流れを示している。

【0079】以上の図11~図14で説明したバイパス方法1~4を要約すると、

バイパス方法1: ある段では、データの並べ替え、ひねり係数乗算、バタフライ演算を行わないで、バイパスすることで、データ点列数がN/R(Rは基数)になったときのフーリエ変換をデータ点列数Nのフーリエ変換回路で行う。

【0080】バイパス方法2: ある段、例えば、1段目でデータの並べ替えを行うが、必要とする組合わせにな

っていない場合、ひねり係数乗算、バタフライ演算を行わないバイパス処理を行い、以降の段で、通常のデータの並べ替え、ひねり係数乗算、バタフライ演算を行うことで、データ点列数が N/R (R は基数)になったときのフーリエ変換を、該データ点列数 N のフーリエ変換回路で行う。

【0081】バイパス方法3: データ点列数 N のフーリエ変換回路において、例えば、1段目で、データの並べ替えを行い、必要な組ができているとき、ひねり係数乗算、バタフライ演算を行い、2段目でデータの並べ替え、ひねり係数乗算、バタフライ演算をバイパスすることで、データ点列数が N/R (R は基数)になったときのフーリエ変換を、該データ点列数 N のフーリエ変換回路で行う。

【0082】バイパス方法4: データ点列数 N のフーリエ変換回路において、例えば、1段目で、データの並べ替えを行い、必要な組ができていながら、ひねり係数乗算、バタフライ演算を行うことなく、次の段に流し、2段目で、データの並べ替えをバイパスして、ひねり係数乗算、バタフライ演算を行うことで、データ点列数が N/R (R は基数)になったときの高速フーリエ変換を、該データ点列数 N のフーリエ変換回路で行う。

【0083】このように、他のデータ並べ替え回路(並べ替え回路B)のみを使用しても、又は、1段目には、本発明の並べ替え回路Aを使用し、2段目以降には、並べ替え回路Bを使用した場合においても、例えば、データ点列 $N=16$ のフーリエ変換を4段構成のフーリエ変換回路で行うことができ、更に、例えば、データ点列 $N=8$ の場合は、データの並べ替え、ひねり係数乗算、バタフライ演算を、必要な段で3回行うようにすることで、データ点列数が N/R (R は基数)になったときの高速フーリエ変換を、該データ点列数 N のフーリエ変換回路で行うことができる。

【0084】次に、基数4の場合でも、同様にして、高速フーリエ変換の処理が行えることを、図15~図18によって、簡単に説明する。図15は、基数4の場合の、高速フーリエ変換の基本演算の様子を示したものである。図15において、 W_1, W_2, \dots は、前述のひねり係数である。

【0085】基数4の場合の高速フーリエ変換のアルゴリズムは、FFT点数が4のべき乗を対象にしており、1回の基本演算でFFT点数のうち4点分を1回の基本演算で処理するもので、データ間の距離は $N/4$ づつ離れた組どうして、 $N/16, N/64, \dots, 4$ と処理がすすむごとに距離が縮まり、最終的に、距離が1離れたデータどうして行われるまでくりかえされる。このアルゴリズムで用いられる基本演算は図15のようになる。ここで $x(0), x(1), x(2), x(3)$ はFFT点入力データであり、 $X(0), X(1), X(2), X(3)$ は出力を表す。

【0086】したがって、基本回路構成は図16のよう

になる。この基本回路を M 個($M = \log_2 N$)直列に組合わせることで基数4の高速フーリエ変換が行える。 $N=64$ の場合を具体例として説明する。 $64=4^3$ であるから、基本回路は3つでよい。この場合は、基数2の場合と同様に、1段目、2段目、3段目で、データの並べ替え、ひねり係数乗算、基本演算を行い、3段目の出力が高速フーリエ変換された出力となる。この時のデータの流れを図17に示す。(詳細な説明は省略する。)

10 $N=16$ となった場合を考えると、 $16=4^2$ であるから、基本回路は2段あればよい。この場合も、基数2と同様に1段目で基数2の場合と同様のバイパス処理を行うことにより、正確な高速フーリエ変換結果が得られる。詳細は省略する。

【0087】図18は、基数4の場合の、データ並べ換え回路部の一例を示したもので、基本的には、図3に示した基数2の場合と同じである。即ち、まず#0~#3のFIFO 10, ~13に、シリアルな入力A~Dから同時にデータを入力し、それぞれのFIFO 10, ~13が、同時にFFT点数の $1/4$ までデータ(高速フーリエ変換点数 $N=64$ の場合には、4データ)を格納したのち、#4~#7, #8~#11, #12~#15のFIFO 14, ~115に、同様にして、該FFT点数の $1/4$ までデータを格納する。このときFIFO 10~115全体で格納されるデータ数は、処理できる高速フーリエ変換(FFT)点数 $N(=64)$ に等しい様にしてある。

【0088】次に、#0のFIFO 10から1つデータを取り出して、出力Aへ送り、これと同時に#4のFIFO 14からもデータを1つ取り出し、出力Bへ送る。20 いかこの動作を繰り返して、#8のFIFO 18, #12のFIFO 112からデータを1つ取り出して、それぞれ、出力C, 出力Dへ送る。

【0089】これがすむと、#1~#13のFIFO 11, ~113等からも同様の操作を行う。この動作を、交互に行うことにより必要とするデータの組になるように並べ換えを行うことができる。

【0090】尚、図18において、#0, #4, #1, #5の部分、図3に示した基数2の場合のデータ点列に対するデータ並べ回路部1に対応する。本基数4の場合のデータ並べ回路部は、該図3の回路を単に、基数4の場合に拡張したものに過ぎない。従って、前述のように、基数2の場合と同様のデータ並べ換え処理を行うことになる。

【0091】以上のようにして、基数4でも入力されるFFT点数が減少しても正確な高速フーリエ変換処理が行えることを示した。このように、本発明は、処理するFFT点数が N である高速フーリエ変換を行う回路であって、入力データ点数 N を N/R (但し、 R は基数)し、該分割された入力データ点数をシリアルに並べて、R入力のデータ並べ替え部分、ひねり係数乗算部分、バ

タフライ演算部分からなる基本回路に入力し、該基本回路を1段として、この段をM個($M = \log_2 N$)直列に並べて、高速フーリエ変換を行うように構成し、入力部分からK段($K < M$)をバイパスすることによって、FFT点数が N/R 、 $N/R^2 \cdots R$ と減少させたときも、同じ回路で高速フーリエ変換を行うようにしたところに特徴がある。

【0092】

【発明の効果】以上、詳細に説明したように、本発明の高速フーリエ変換回路は、処理するFFT点数がNである高速フーリエ変換を行う回路であって、入力データ点数Nを N/R (但し、Rは基数)し、該分割された入力データ点数をシリアルに並べて、R入力のデータ並べ替え回路1、ひねり係数乗算回路2、バタフライ演算回路からなる基本回路に入力し、該基本回路を1段として、この段をM個($M = \log_2 N$)直列に並べて、高速フーリエ変換を行うように構成し、入力部分からK段($K < M$)をバイパスすることによって、FFT点数が N/R 、 $N/R^2 \cdots R$ と減少させたときも、同じ回路で、FFT点数が N/R^k の高速フーリエ変換の処理を行うようにしたものである。例えば、基数2の高速フーリエ変換を行う回路で、データの入力数が $N/2$ 、 $N/4$ 、 \cdots 2と減少していても、該基数2のアルゴリズムの高速フーリエ変換が行える点が最大の効果である。これは、今までに無かった高速フーリエ変換回路であり、多様な入力数Nで高速フーリエ変換処理を必要とする場合に、単一のハードウェアで実現が可能となり、物量の削減等に効果を発揮できる。

【図面の簡単な説明】

【図1】本発明の原理説明図(その1)

*【図2】本発明の原理説明図(その2)

【図3】本発明の一実施例を示した図(その1)

【図4】本発明の一実施例を示した図(その2)

【図5】本発明の一実施例を示した図(その3)

【図6】本発明の一実施例を示した図(その4)

【図7】本発明の他の実施例を示した図(その1)

【図8】本発明の他の実施例を示した図(その2)

【図9】本発明の他の実施例を示した図(その3)

【図10】本発明の他の実施例を示した図(その4)

10 【図11】本発明の他の実施例を示した図(その5)

【図12】本発明の他の実施例を示した図(その6)

【図13】本発明の他の実施例を示した図(その7)

【図14】本発明の他の実施例を示した図(その8)

【図15】本発明の基数4の実施例を示した図(その1)

【図16】本発明の基数4の実施例を示した図(その2)

【図17】本発明の基数4の実施例を示した図(その3)

20 【図18】本発明の基数4の実施例を示した図(その4)

【図19】従来の高速フーリエ変換回路を説明する図【符号の説明】

1 データ並べ替え回路部、並べ替え回路A、B

2 ひねり係数乗算部、ひねり係数乗算回路

10~115 先入れ先出し回路(FiFo #1~)

21 マルチプレクサ(MUX)

3 バタフライ演算部(BUX)、バタフライ演算回路

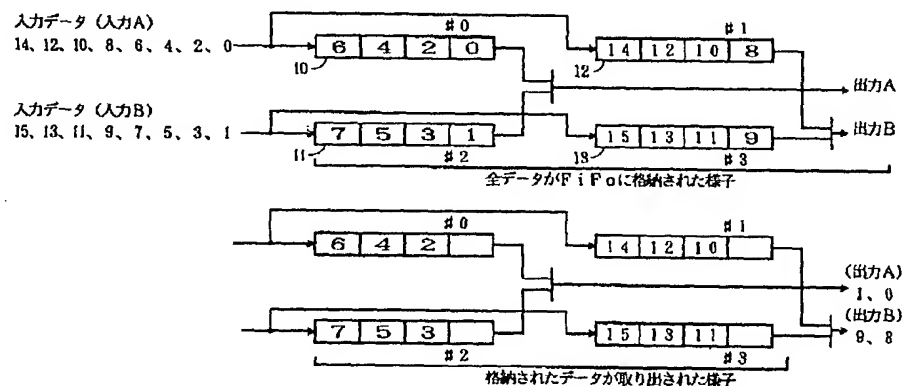
30,31 マルチプレクサ(MUX)

30 40,41 先入れ先出し回路(FiFo #1,#0)

* 42,43 マルチプレクサ(MUX 1,2)

【図3】

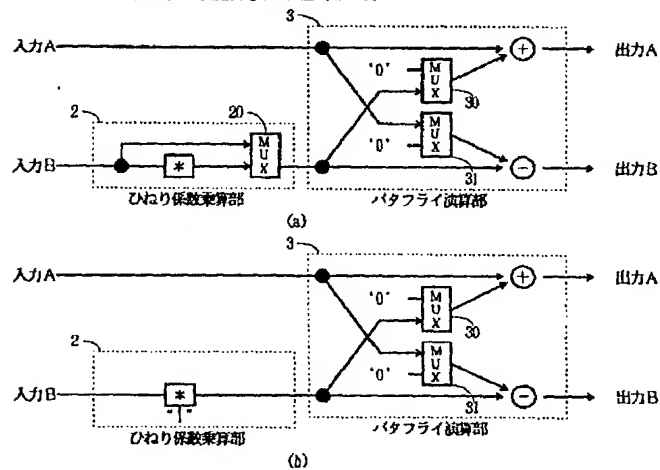
本発明の一実施例を示した図(その1)



本発明の原理説明図（その１）

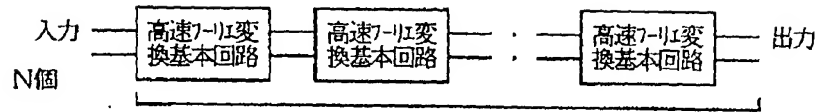


本発明の一実施例を示した図（その４）

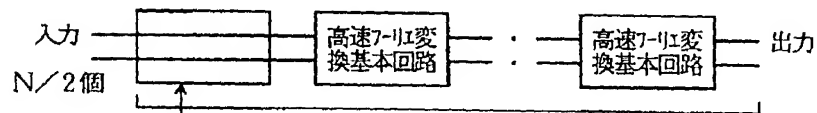


(図2)

本発明の原理説明図(その2)

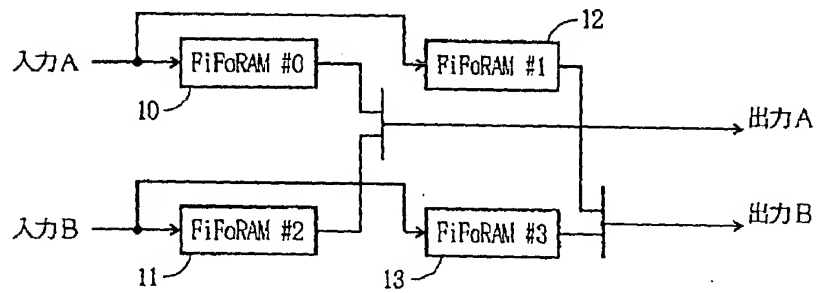


(c1) 最大入力データがN個の場合N回路をもつ



N/2 になった場合でもN個の処理回路で正確な処理結果を得る
この部分は処理しない(バイパス)

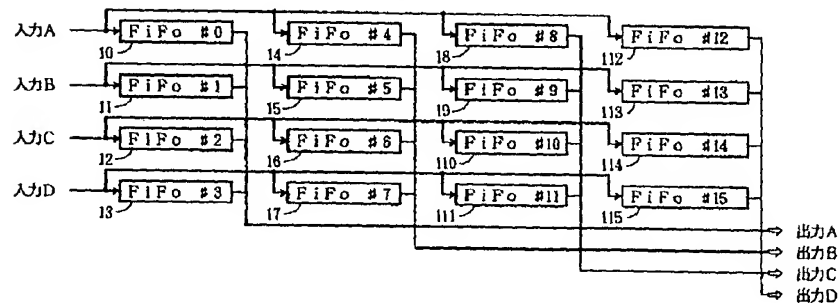
(c2)



(d)

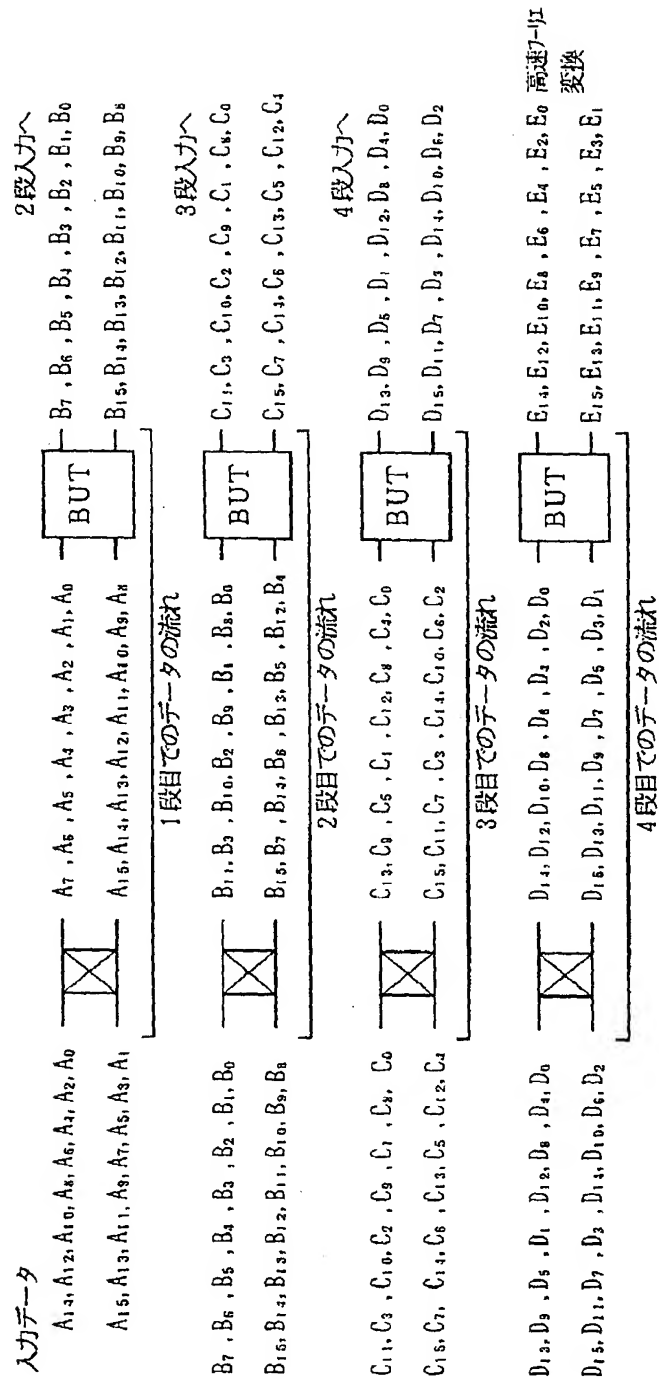
(図18)

本発明の基礎4の実施例を示した図(その4)

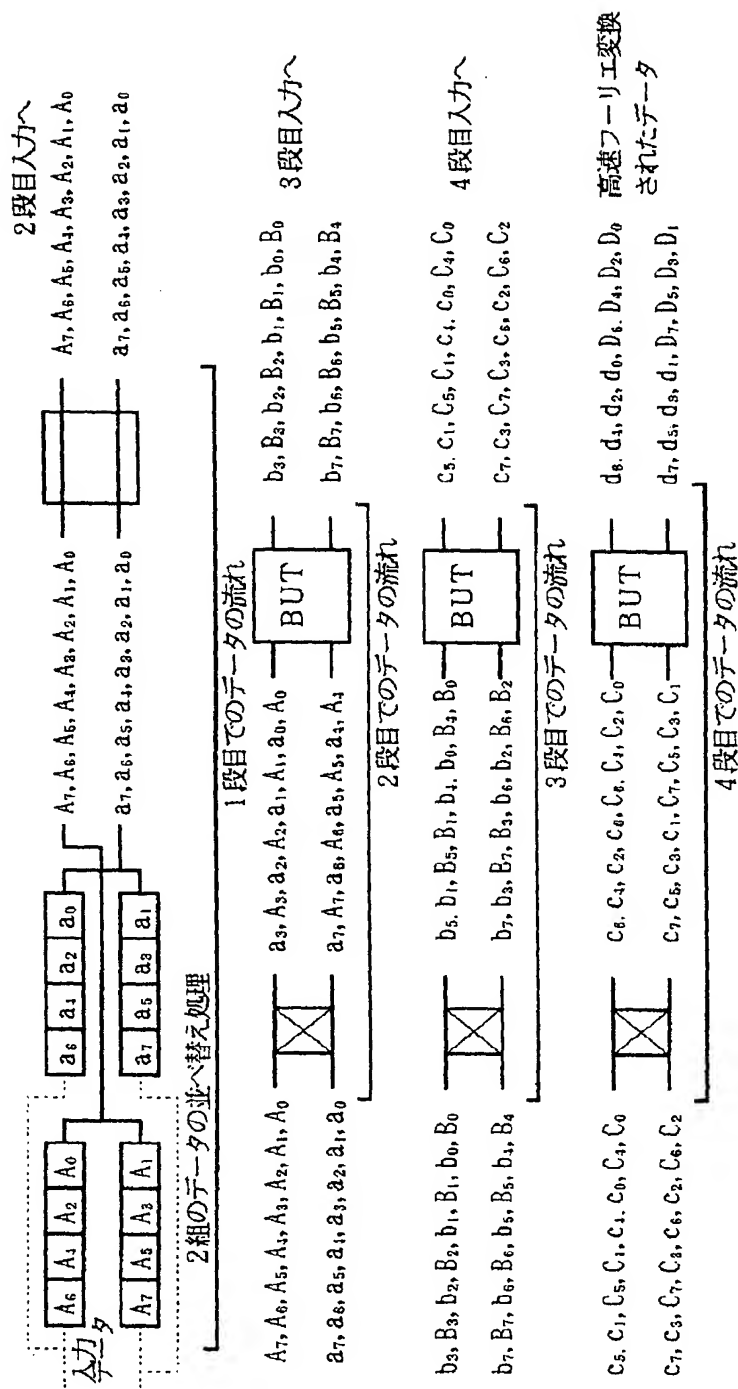


【図4】

本発明の一実施例を示した図 (その2)



本発明の一実施例を示した図 (その3)

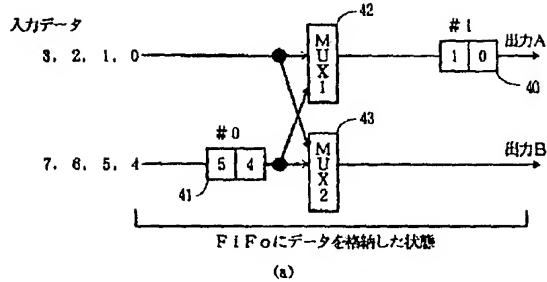


(図5)

(14)

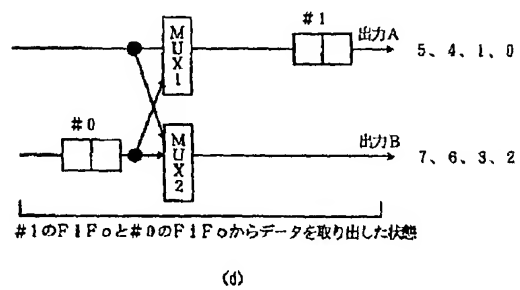
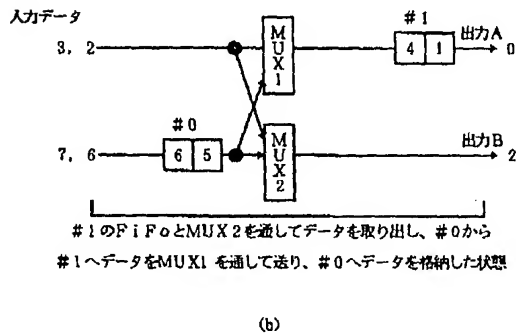
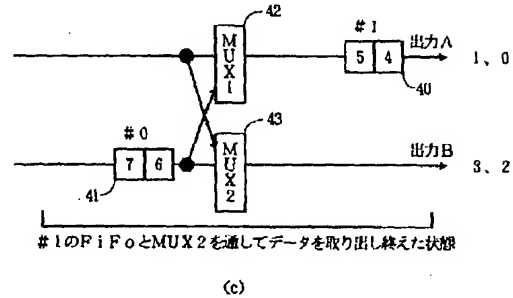
【図7】

本発明の他の実施例を示した図(その1)



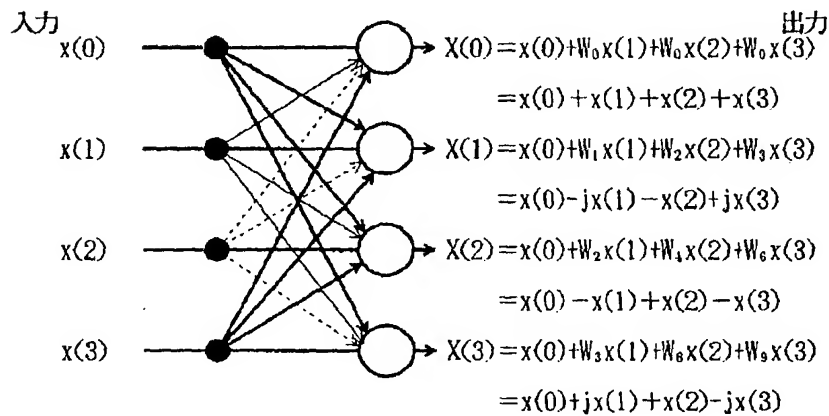
【図8】

本発明の他の実施例を示した図(その2)

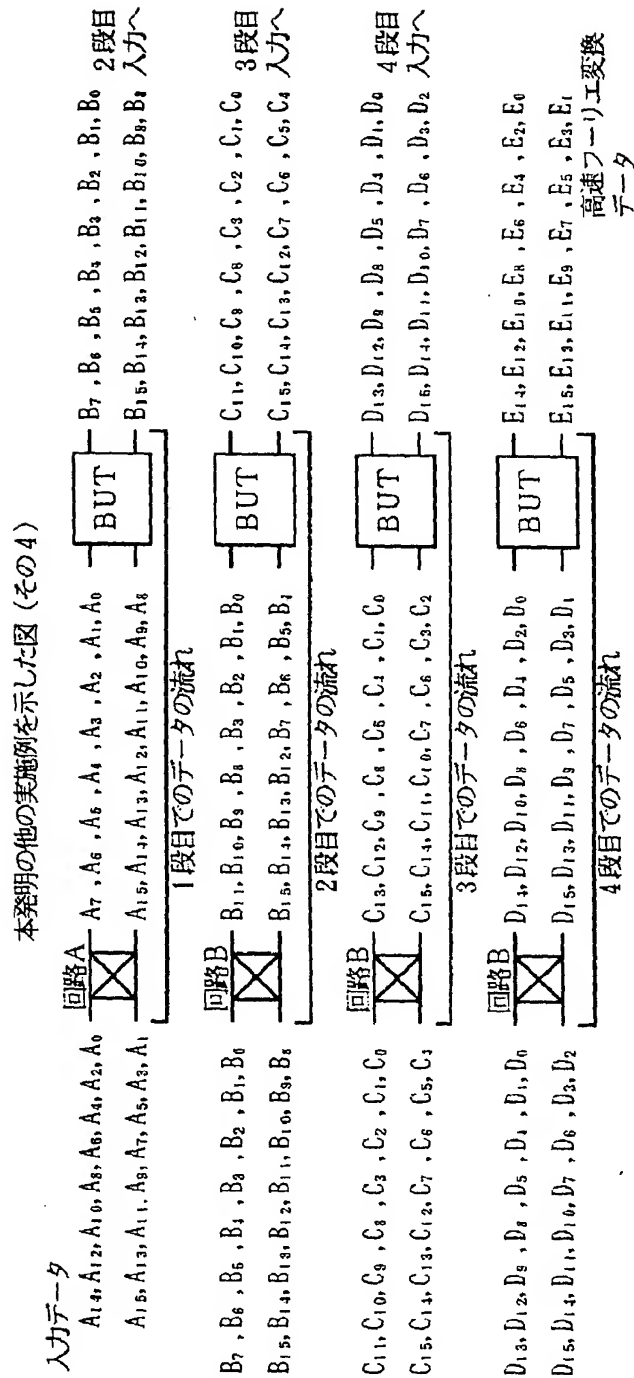


【図15】

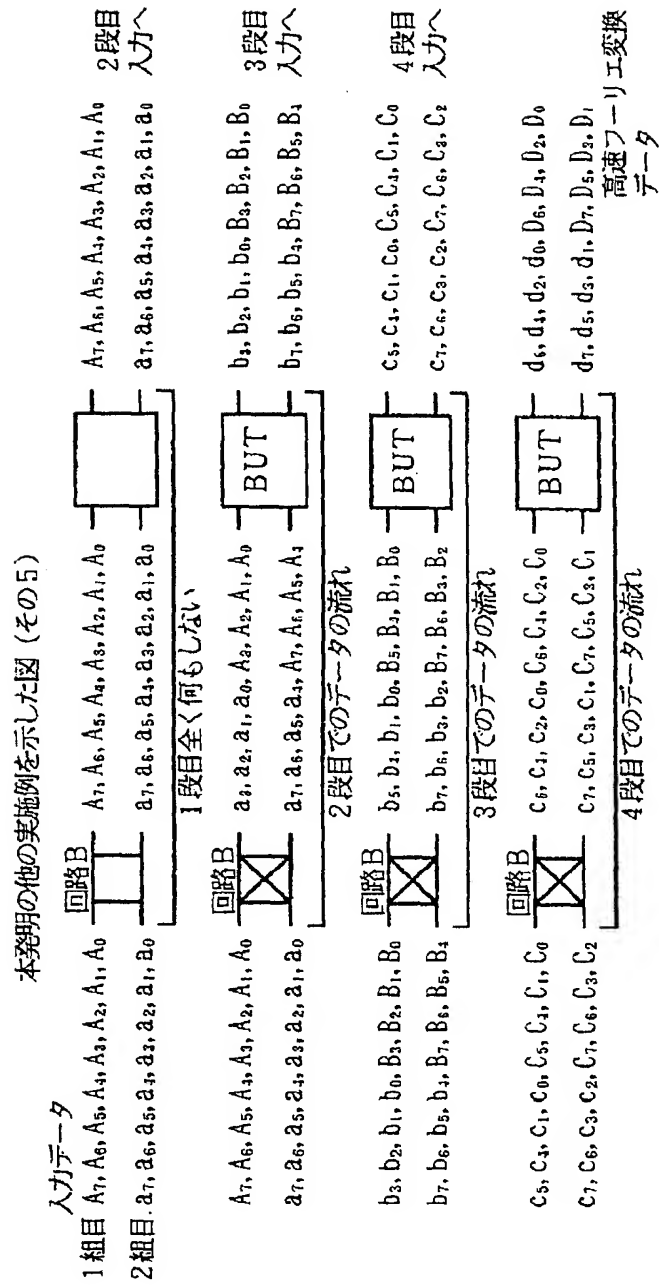
本発明の基数4の実施例を示した図(その1)



【図10】

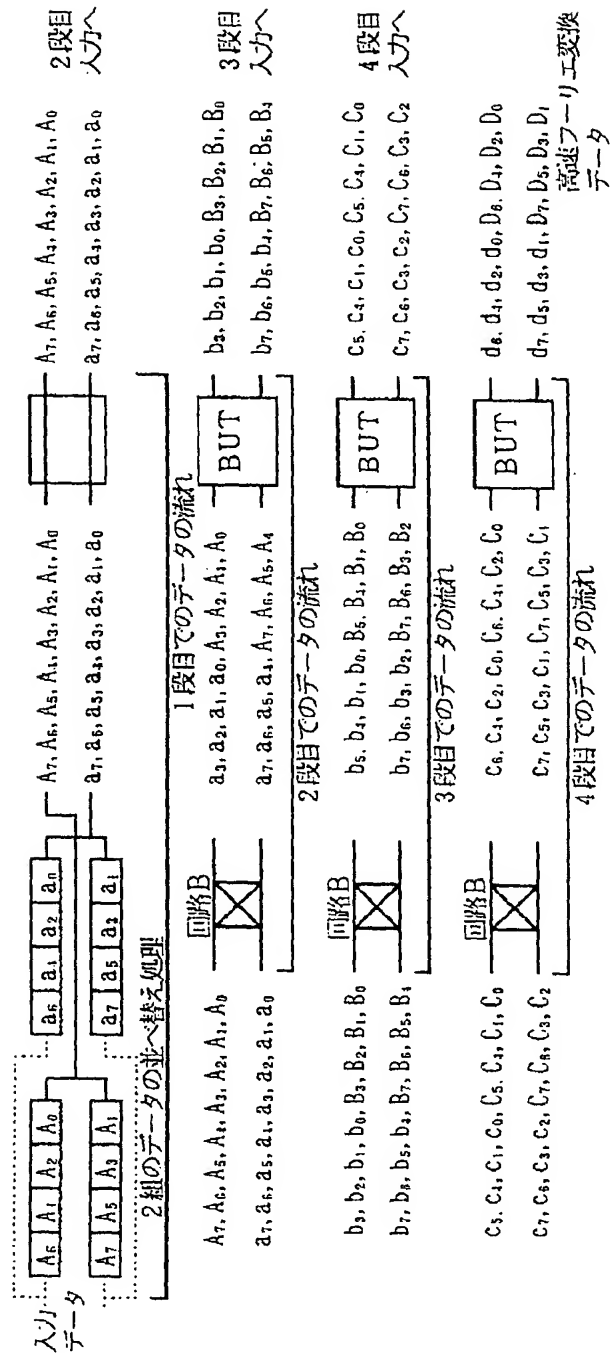


〔図11〕



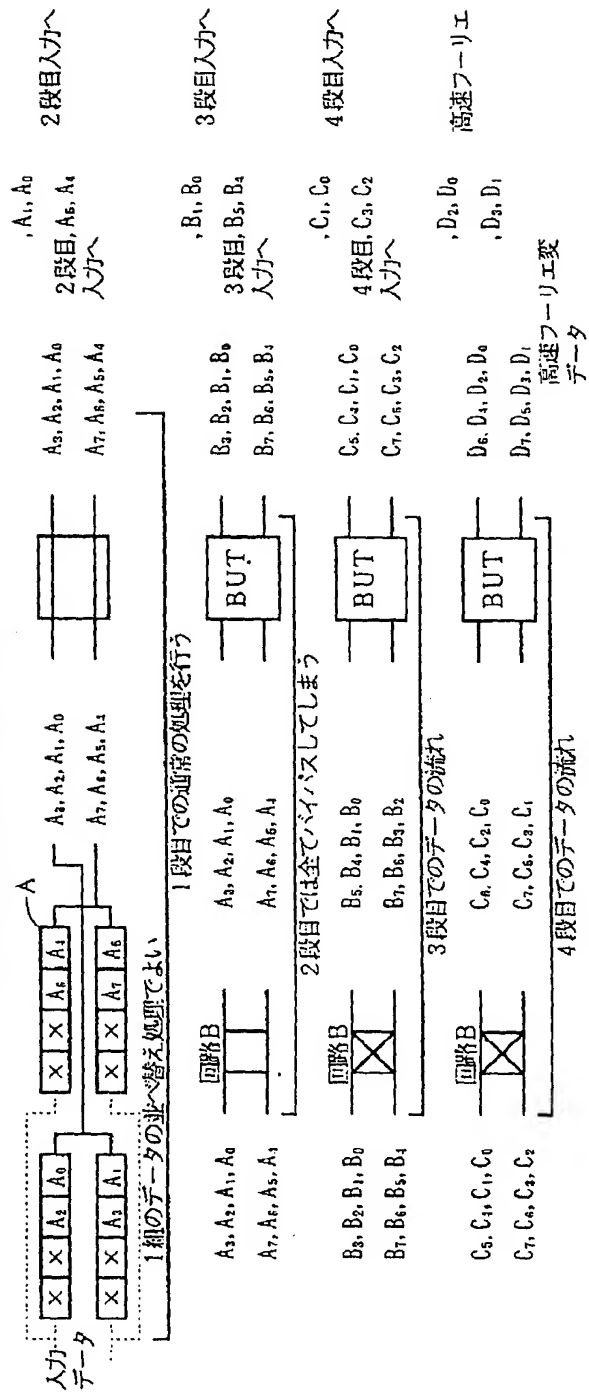
〔図12〕

本発明の他の実施例を示した図(その6)



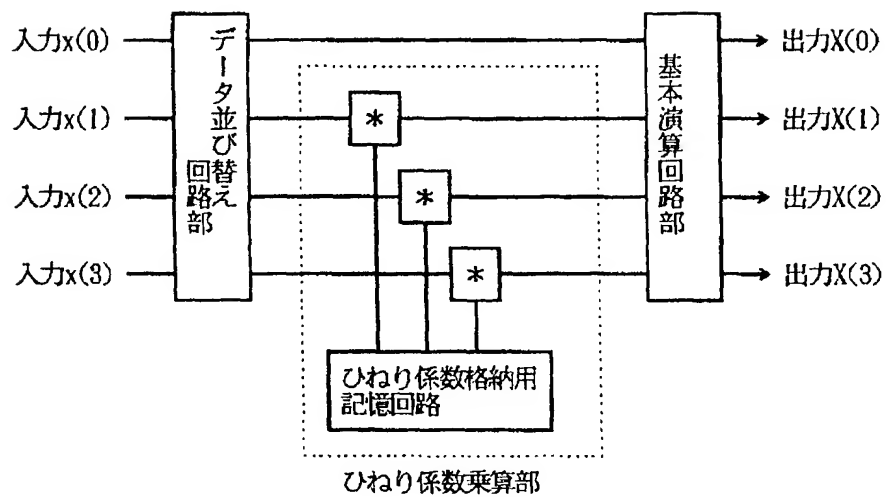
【圖 14】

本発明の他の実施例を示した図（その8）



【図16】

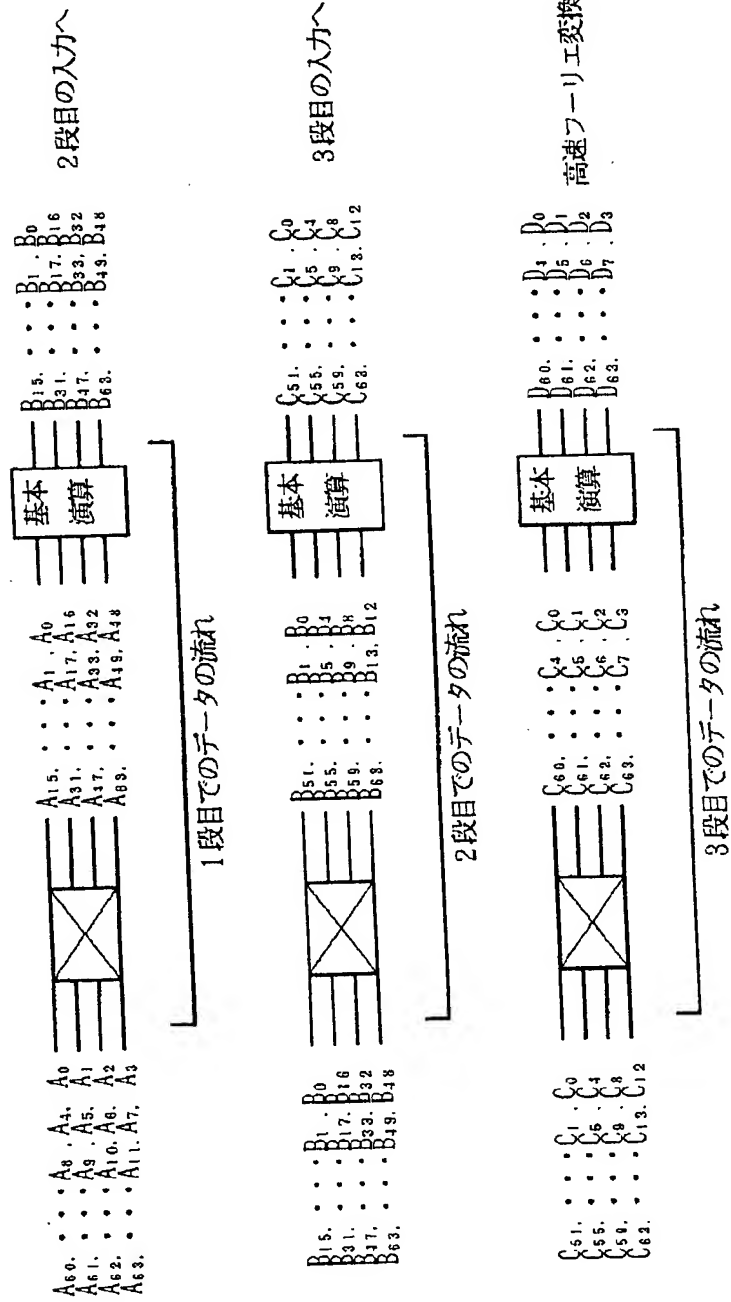
本発明の一基数4の実施例を示した図（その2）



(23)

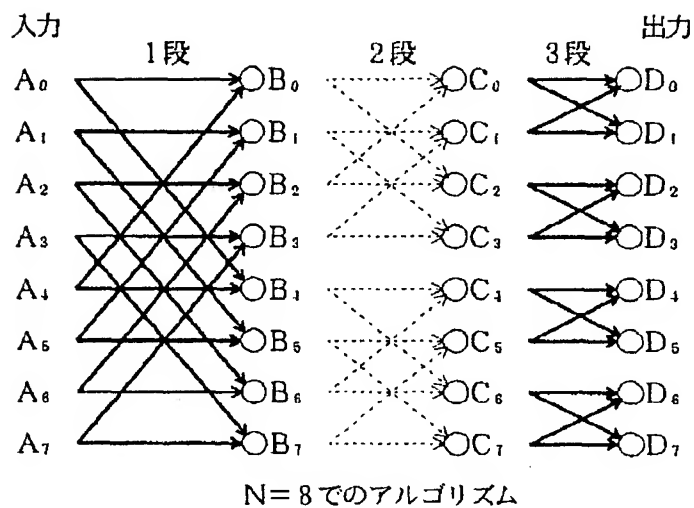
【図17】

本発明の基数4の実施例を示した図（その3）

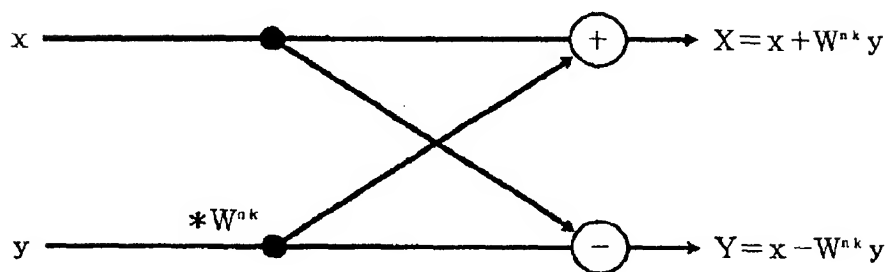


【図19】

従来の高速フーリエ変換回路を説明する図



(a)



(b)

フロントページの続き

(72)発明者 森田 昇
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 久保 慎一
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内